

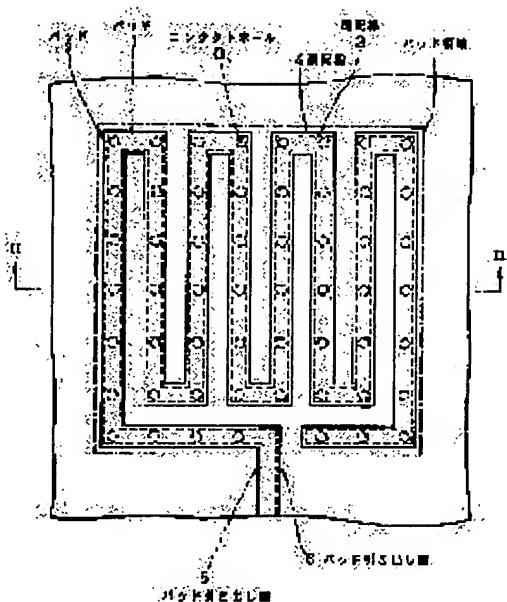
BEST AVAILABLE COPY**PATENT ABSTRACTS OF JAPAN**(11)Publication number : **11-067763**(43)Date of publication of application : **09.03.1999**

(51)Int.Cl.

H01L 21/3205
// **H01L 21/60**(21)Application number : **09-225058**(71)Applicant : **SONY CORP**(22)Date of filing : **21.08.1997**(72)Inventor : **MAEDA KEIICHI**
AOYAMA JUNICHI**(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor device which can be manufactured at high manufacturing yield with a pad of wiring or part of wiring requiring a larger width which is not affected by dishing by a chemical mechanical polishing, when the wiring is formed by using a buried wiring technique, and a manufacturing method therefor.

SOLUTION: A pad 1 of a lower layer wiring and a pad 2 of an upper layer wiring are provided in a square pad region of 100 µm square. The pads 1, 2 are constituted of groove wirings 3, 4, which are narrower than the entire sizes of the pads 1, 2. The width of the groove wirings 3, 4 is set at 0.4 µm. The groove wirings 3, 4 are made as a picture drawn in a single stroke, such that they form the shape of the pads 1, 2 as a whole in the pad regions.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-67763

(43)公開日 平成11年(1999)3月9日

(51)Int.Cl.
H01L 21/3205
H01L 21/60

識別記号
301

P I
H01L 21/88
21/60

T
301N

審査請求 未請求 請求項の数16 O.L (全 14 頁)

(21)出願番号	特願平9-225058
(22)出願日	平成9年(1997)8月21日

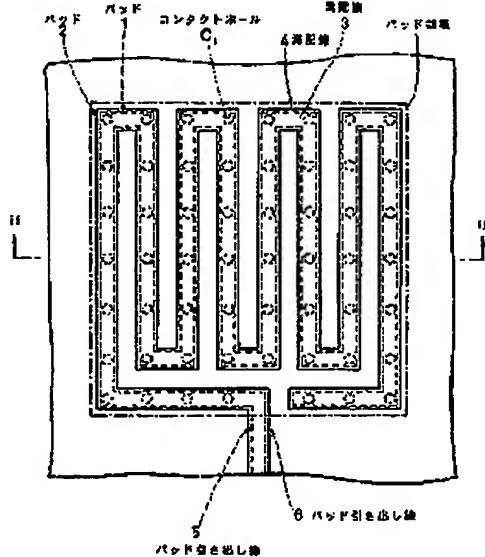
(71)出願人 000002185
ソニー株式会社
京京都品川区北品川6丁目7番35号
(72)発明者 前田 実一
京京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72)発明者 齐山 純一
京京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 配線を埋め込み配線技術を用いて形成した場合に、配線のパッドまたは配線のうち幅を広くする必要のある部分が、化学機械研磨法による研磨によるディッシングの影響を受けにくく、かつ、高い製造歩留まりで製造することができる半導体装置およびその製造方法を提供する。

【解決手段】 $100\mu m$ 角の正方形形状のパッド領域に下層配線のパッド1および上層配線のパッド2を設ける。パッド1、2を、それぞれ、パッド1、2の全体の大きさに比べて幅の狭い溝配線3、4により構成する。溝配線3、4の幅は $0.4\mu m$ とする。溝配線3、4は、パッド領域内に全体としてパッド1、2の形状となるように一筆書き形状に引き回す。



特開平 11-67763

(2)

2

1

【特許請求の範囲】

【請求項1】 配線のパッドがこのパッドの大きさに比べて幅の狭い溝配線により構成されていることを特徴とする半導体装置。

【請求項2】 上記パッドの領域に、上記溝配線が全体として上記パッドの形状となるように一巻書き形状に引き回されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 上記パッドの領域に、電気的に接続された複数の上記溝配線が全体として上記パッドの形状となるように設けられていることを特徴とする請求項1記載の半導体装置。

【請求項4】 上記パッドとパッド引き出し線との接続部分で、上記パッドを構成する上記溝配線の幅が、上記パッド引き出し線の幅に対して急激に変化しないことを特徴とする請求項1記載の半導体装置。

【請求項5】 上記パッドを構成する上記溝配線の幅が、パッド引き出し線の幅とほぼ等しいことを特徴とする請求項1記載の半導体装置。

【請求項6】 上記溝配線がアルミニウム、銅、銀、金またはこれらの合金からなることを特徴とする請求項1記載の半導体装置。

【請求項7】 配線のうち幅を広くする必要のある部分が、この部分の幅に比べて幅の狭い溝配線により構成されていることを特徴とする半導体装置。

【請求項8】 上記溝配線がアルミニウム、銅、銀、金またはこれらの合金からなることを特徴とする請求項7記載の半導体装置。

【請求項9】 ボンディングパッドの下方の領域の一部に、上記ボンディングパッドの大きさに比べて幅の狭い溝配線により構成されたパッド引き出し線が、上記ボンディングパッドと直なるように設けられていることを特徴とする半導体装置。

【請求項10】 上記溝配線がアルミニウム、銅、銀、金またはこれらの合金からなることを特徴とする請求項9記載の半導体装置。

【請求項11】 配線のパッドがこのパッドの大きさに比べて幅の狭い溝配線により構成されている半導体装置の製造方法であって、

半導体基板上に層間絶縁膜を形成する工程と、
上記パッドに対応する部分における上記層間絶縁膜に、
上記パッドの大きさに比べて幅の狭い配線溝を形成する
工程と、
上記層間絶縁膜の全面に上記配線溝の上部を盛ぐように
導電膜を形成する工程と、

上記導電膜を高圧リフロー法により上記配線溝の内部に
埋め込む工程と、

上記配線溝の部分以外の部分の上記導電膜を化学機械研磨法により除去することにより、上記パッドを構成する
上記溝配線を形成する工程とを有することを特徴とする

10

半導体装置の製造方法。

【請求項12】 上記溝配線がアルミニウム、銅、銀、金またはこれらの合金からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項13】 配線のうち幅を広くする必要のある部分が、この部分の幅に比べて幅の狭い溝配線により構成された半導体装置の製造方法であって、

半導体基板上に層間絶縁膜を形成する工程と、
上記配線のうち幅を広くする必要のある部分に対応する部分における上記層間絶縁膜に、上記配線のうち幅を広くする必要のある部分の幅に比べて幅の狭い溝配線を形成する工程と、

上記層間絶縁膜の全面に上記配線溝の上部を盛ぐように導電膜を形成する工程と、

上記導電膜を高圧リフロー法により上記配線溝の内部に埋め込む工程と、

上記配線溝の部分以外の部分の上記導電膜を化学機械研磨法により除去することにより、上記幅を広くする必要のある部分を構成する上記溝配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】 上記溝配線がアルミニウム、銅、銀、金またはこれらの合金からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項15】 ボンディングパッドの下方の領域の一部に、上記ボンディングパッドの大きさに比べて幅の狭い溝配線により構成されたパッド引き出し線が、上記ボンディングパッドと直なるように設けられた半導体装置の製造方法であって、

半導体基板上に層間絶縁膜を形成する工程と、
上記ボンディングパッドの下方の領域の一部に対応する部分における上記層間絶縁膜に、上記ボンディングパッドの大きさに比べて幅の狭い配線溝を形成する工程と、
上記層間絶縁膜の全面に上記配線溝の上部を盛ぐように導電膜を形成する工程と、

上記導電膜を高圧リフロー法により上記配線溝の内部に埋め込む工程と、

上記配線溝の部分以外の部分の上記導電膜を化学機械研磨法により除去することにより、上記パッド引き出し線を構成する上記溝配線を形成する工程と、

上記層間絶縁膜上に上記ボンディングパッドを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 上記溝配線がアルミニウム、銅、銀、金またはこれらの合金からなることを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置およびその製造方法に関し、特に、埋め込み配線技術により形成された配線を有する半導体装置およびその製造方法に

40

50

(3)

特開平11-67763

4

開する。

【0002】

【従来の技術】LSIの高集積化によりその内部配線の微細化、多層化が進むなか、配線形成時の平坦化技術の開発や微細配線の加工および信頼性確保が重要な課題となっている。これらの問題点の解決手段の一つとして、埋め込み配線技術が検討されている。ここで、埋め込み配線の形成方法の一例を示す。

【0003】この埋め込み配線の形成方法においては、まず、図17に示すように、あらかじめ蒸着(図示せず)が形成されたシリコン(Si)基板101上に二酸化シリコン(SiO₂)膜のような層間絶縁膜102を形成した後、この層間絶縁膜102に、例えばフォトリソグラフィー工程および反応性イオンエッチング(RIE)工程により、配線溝103およびパッド形成用の孔104を形成する。ここで、配線溝103の幅は例えば0.4μm、深さは例えば0.5μmである。また、パッド形成用の孔104は、例えば正方形形状の平面形状を有し、その一边の大きさは100μm、深さは0.5μmである。

【0004】さて、層間絶縁膜102に形成された配線溝103およびパッド形成用の孔104に配線材料を埋め込む方法としては、従来よりリフロー法が用いられているが、その中でも特に、通常のリフロー法と比べて埋め込み特性に優れている高圧リフロー法が検討されている。

【0005】この高圧リフロー法を用いて、層間絶縁膜102に形成された配線溝103およびパッド形成用の孔104の内部に、配線材料として例えばアルミニウム(A1)合金を埋め込み、埋め込み配線を形成する方法について説明する。

【0006】すなわち、上述のようにして層間絶縁膜102に配線溝103およびパッド形成用の孔104を形成した後、図18に示すように、高真空中において全面にDCマグネットロンスパッタリング法によりチタン(Ti)膜および窒化チタン(TiN)膜を順次形成し、下地バリアメタルとしてのTiN/Ti膜105を形成する。引き続き、高真空中において全面にDCマグネットロンスパッタリング法により、配線材料として、例えばA1-0.5%CuからなるA1合金膜106を形成する。このとき、このA1合金膜106が配線溝103およびパッド形成用の孔104の上部を塞ぎ、それらの内部にポイドが残されるようとする(以下、この状態をブリッジ形状と呼ぶ)。

【0007】引き続き、高真空中に排気された高圧リフロー炉内でSi基板101をA1合金の融点付近まで加熱してA1合金膜106を溶融ないし軟化させ、この状態で高圧リフロー炉内に例えばアルゴン(Ar)などの不活性ガスを高圧で導入することにより、図19に示すように、配線溝103およびパッド形成用の孔104の内

部にA1合金を完全に充填する。

【0008】この後、化学機械研磨(Chemical Mechanical Polish、以下、CMPという)法により、層間絶縁膜102の表面が露出するまでA1合金膜106およびTiN/Ti膜105を研磨し、配線溝103およびパッド形成用の孔104の部分以外の部分に形成されたA1合金膜106およびTiN/Ti膜105を除去する。これにより、図20に示すように、溝配線107およびパッド形成用の孔104の内部に、それぞれ溝配線107およびパッド108が形成される。

【0009】

【発明が解決しようとする課題】しかしながら、上述の従来の溝配線の形成方法には、次のような問題があった。

【0010】すなわち、従来の溝配線の形成方法では、配線溝103およびパッド形成用の孔104の部分以外の部分に形成されたA1合金膜を、CMP法により研磨して溝配線107およびパッド108を形成すると、溝配線107のうち幅の広い部分やパッド108の部分では、中央部の表面が周辺部の表面よりも低くなる、いわゆるディッシングの問題が生じる。特に、図20に示すように、100μm角以上の大きな寸法を有するパッド108の部分では、ディッシングの影響が顕著であり、中央部のA1合金がほとんど無くなってしまい、CMP法による研磨工程に引き続行行われる平坦化や、組み立て工程でのワイヤーボンディングに大きな支障をきたすという問題があった。

【0011】一方、上述の高圧リフロー法による埋め込み原理から明らかなように、高圧リフロー法により配線溝103およびパッド形成用の孔104の内部に配線材料を充填して埋め込みを行うためには、高圧リフローを行之前に、配線溝103およびパッド形成用の孔104の上部を配線材料で塞ぎ(この部分の上部で配線材料がつながり)、それらの内部にポイドが残されたブリッジ形状を形成しておく必要がある。言い換えれば、A1合金膜106の形成の際に、配線溝103またはパッド形成用の孔104の一部にブリッジ不良が発生した場合、これらの配線溝103またはパッド形成用の孔104の内部には、A1合金膜106を全く埋め込むことができなくなるという不具合を生じる。ここで、A1合金膜106のブリッジ不良は、配線の幅、したがって、配線溝の開口の幅が急激に変化する部分で発生やすい。図21は、パッド形成用の孔104の部分でA1合金膜106のブリッジ不良が発生したときの様子を示すが、このパッド形成用の孔104の部分では、特に開口の幅が急激に変化しているため、A1合金膜106がパッド形成用の孔104の途中で途切れてしまい、安定にブリッジ形状を形成することが困難となっている。このため、パッド形成用の孔104の内部へのA1合金膜106の埋め込み特性が悪化し、その結果、歩留

(4)

特開平11-67763

5

まりが低くなるという問題があった。

【0012】したがって、この発明の目的は、配線を埋め込み配線技術を用いて形成した場合に、配線のパッドまたは配線のうち幅を広くする必要のある部分が、化学機械研磨法による研磨によるディッシングの影響を受けにくく、かつ、高い製造歩留まりで製造することができる半導体装置およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するためには、この発明の第1の発明による半導体装置は、配線のパッドがこのパッドの大きさに比べて帽の狭い溝配線により構成されていることを特徴とするものである。

【0014】この発明の第2の発明による半導体装置は、配線のうち帽を広くする必要のある部分が、この部分の帽に比べて帽の狭い溝配線により構成されていることを特徴とするものである。

【0015】この発明の第3の発明による半導体装置は、ポンディングパッドの下方の領域の一部に、ポンディングパッドの大きさに比べて幅の狭い溝配線により構成されたパッド引き出し線が、ポンディングパッドと直なるように設けられていることを特徴とするものである。

【0016】この発明の第4の発明は、配線のパッドがこのパッドの大きさに比べて幅の狭い溝配線により構成されている半導体装置の製造方法であって、半導体基板上に層間絶縁膜を形成する工程と、パッドに対応する部分における層間絶縁膜に、パッドの大きさに比べて幅の狭い配線溝を形成する工程と、層間絶縁膜の全面に配線溝の上部を塗ぐように導電膜を形成する工程と、導電膜を高圧リフロー法により配線溝の内部に埋め込む工程と、配線溝の部分以外の部分の導電膜を化学機械研磨法により除去することにより、パッドを構成する溝配線を形成する工程とを有することを特徴とするものである。

【0017】この発明の第5の発明は、配線のうち幅を広くする必要のある部分が、この部分の帽に比べて幅の狭い溝配線により構成された半導体装置の製造方法であって、半導体基板上に層間絶縁膜を形成する工程と、配線のうち幅を広くする必要のある部分に対応する部分における層間絶縁膜に、配線のうち幅を広くする必要のある部分の帽に比べて幅の狭い配線溝を形成する工程と、層間絶縁膜の全面に配線溝の上部を塗ぐように導電膜を形成する工程と、導電膜を高圧リフロー法により配線溝の内部に埋め込む工程と、配線溝の部分以外の部分の導電膜を化学機械研磨法により除去することにより、幅を広くする必要のある部分を構成する溝配線を形成する工程とを有することを特徴とするものである。

【0018】この発明の第6の発明は、ポンディングパッドの下方の領域の一部に、ポンディングパッドの大きさに比べて幅の狭い溝配線により構成されたパッド引き

6

出し線が、ポンディングパッドと直なるように設けられた半導体装置の製造方法であって、半導体基板上に層間絶縁膜を形成する工程と、ポンディングパッドの下方の領域の一部に対応する部分における層間絶縁膜に、ポンディングパッドの大きさに比べて幅の狭い配線溝を形成する工程と、層間絶縁膜の全面に配線溝の上部を塗ぐように導電膜を形成する工程と、導電膜を高圧リフロー法により配線溝の内部に埋め込む工程と、配線溝の部分以外の部分の導電膜を化学機械研磨法により除去することにより、パッド引き出し線を構成する溝配線を形成する工程と、層間絶縁膜にポンディングパッドを形成する工程とを有することを特徴とするものである。

【0019】この発明の第1～第6の発明において、溝配線は、例えばアルミニウム、銅、銀、金またはこれらの合金からなる。

【0020】上述のように構成されたこの発明の第1の発明および第4の発明によれば、配線のパッドがこのパッドの大きさに比べて幅の狭い溝配線により構成されていることにより、パッドの全体の大きさが、化学機械研磨法による研磨によるディッシングの影響が問題となるような大きさであっても、パッドを構成する溝配線の幅は、ディッシングがほとんど生じない程度にすることができる。また、パッドとパッド引き出し線との接続部分で、配線の幅が急激に変化しないようにすることができるので、配線材料となる導電膜を形成する際に、パッドの部分でも、この導電膜を容易にブリッジ形状とすることができます。

【0021】上述のように構成されたこの発明の第2の発明および第5の発明によれば、配線のうち幅を広くする必要のある部分が、この部分の大きさに比べて帽の狭い溝配線により構成されていることにより、この帽を広くする必要のある部分の全体の幅が、化学機械研磨法による研磨によるディッシングの影響が問題となるような大きさであっても、この部分を構成する溝配線の帽は、ディッシングがほとんど生じない程度にすることができる。また、配線材料となる導電膜を形成する際に、配線のうち幅を広くする必要のある部分でも、この導電膜を容易にブリッジ形状とすることができます。

【0022】上述のように構成されたこの発明の第3の発明および第6の発明によれば、ポンディングパッドの下方の領域の一部に、ポンディングパッドの大きさに比べて帽の狭い溝配線により構成されたパッド引き出し線が、ポンディングパッドと直なるように設けられていることにより、従来のように、ポンディングパッドの下方の領域に対応する部分に、ポンディングパッドとほぼ同じ大きさのパッドを設けなくても、パッド引き出し線を通じて配線とポンディングパッドとを接続させることができ。さらに、ポンディングパッドと直なる部分のパッド引き出し線は、ポンディングパッドの大きさに比べて幅の狭い溝配線により構成されているので、化学機械研

(5)

特開平11-67763

7

磨法による研磨によるディッシングの影響を受けにくく、しかも、配線材料となる導電膜を形成する際に、この導電膜を容易にブリッジ形状とすることができます。

【0023】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。

【0024】まず、この発明の第1の実施形態について説明する。図1はこの第1の実施形態による半導体装置を示す平面図である。

【0025】図1に示すように、この第1の実施形態による半導体装置は、所定の部分にほぼ正方形状のパッド領域(図1中、一点鎖線で囲まれた領域)を有している。このパッド領域の一辺の大きさは例えば10.0μmである。また、この半導体装置は、下層配線および上層配線を有し、下層配線のパッド1および上層配線のパッド2がパッド領域に設けられている。これらのパッド1およびパッド2の全体の大きさは、パッド領域とほぼ同一となっている。この半導体装置においては、これらのパッド1、2が、それぞれ、パッド1、2の全体の大きさ(パッド領域の大きさ)に比べて幅の狭い溝配線3、4により構成されている。この場合、溝配線3および溝配線4は、それぞれ、パッド領域内に、全体としてパッド1およびパッド2の形状となるように、交わることなく一筆書き形状に引き回されている。なお、この場合、パッド2を構成する溝配線4は、パッド1を構成する溝配線3の上側に対応する部分に設けられ、パッド1およびパッド2はほぼ同一の平面形状を有している。符号C₁は、パッド1とパッド2との接続に用いる接続孔を示す。

【0026】パッド1を構成する溝配線3およびパッド2を構成する溝配線4の幅は、それぞれ、パッド領域内ではほぼ均一となっている。ここで、パッド1を構成する溝配線3およびパッド2を構成する溝配線4の幅の一例を挙げると、それぞれ、例えば0.4μmである。符号5、6は、それぞれ、下層配線のパッド引き出し線および上層配線のパッド引き出し線を示す。この場合、パッド1を構成する溝配線3とパッド引き出し線5との接続部分およびパッド2を構成する溝配線4とパッド引き出し線6との接続部分においては、配線帽が急激に変化しないように、具体的には、配線幅が例えば2倍以上に変化しないようにされている。ここでは、パッド引き出し線5、6の幅は、それぞれ、溝配線3、4の幅とほぼ等しく選ばれている。ここで、パッド1およびパッド引き出し線5を含む下層配線ならびにパッド2およびパッド引き出し線6を含む上層配線は、例えば、A1-I0.5%CuのようなA1合金からなる。

【0027】次に、図1および図2を参照して、この半導体装置のより詳細な構造について説明する。ここで、図2は、図1のI—I'線に沿った断面図である。

【0028】図1および図2に示すように、この第1の

8

実施形態による半導体装置においては、素子(図示せず)が設けられたS1基板1上に、例えば、厚さ1.5μmのSiO₂膜のような層間絶縁膜12が設けられている。パッド1およびパッド引き出し線5を含む下層配線は、この層間絶縁膜12に埋め込まれている。この層間絶縁膜12のパッド領域に対応する部分には、パッド1の全体の大きさに比べて幅の狭い配線溝13が、全体としてパッド1の形状となるように形成されている。この配線溝13の幅は例えば0.4μm、深さは例えば0.5μmである。この配線溝13の内部に、例えばTiN/Ti膜14を下地バリアメタルとして、A1合金からなる溝配線3が埋め込まれ、これによりパッド1が構成されている。なお、図1では、TiN/Ti膜14は図示省略されている。また、図示は省略するが、所定部分における下層配線形成用の配線溝の底部には、S1基板1の表面に達する接続孔が設けられており、この接続孔の内部は、例えばタングステン(W)プラグにより埋められている。これにより、下層配線とS1基板11とが接続されている。

【0029】層間絶縁膜12上には、例えば、厚さ1.0μmのSiO₂膜のような層間絶縁膜15が設けられている。パッド領域におけるこの層間絶縁膜15には、パッド1を構成する溝配線3の所定部分に達する接続孔C₁が設けられている。この接続孔C₁の口径は例えば0.25μmである。この接続孔C₁の内部に、例えばWプラグ16が埋め込まれている。

【0030】層間絶縁膜15上には、例えば、厚さ0.5μmのSiO₂膜のような層間絶縁膜17が設けられている。パッド2およびパッド引き出し線6を含む上層配線は、この層間絶縁膜17に埋め込まれている。この層間絶縁膜17のパッド領域に対応する部分には、パッド2の全体の大きさに比べて幅の狭い配線溝18が、全体としてパッド2の形状となるように形成されている。所定部分の配線溝18の底部には、上述の接続孔C₁が設けられている。この配線溝18の幅は例えば0.4μm、深さは例えば0.5μmである。この配線溝18の内部に、例えばTiN/Ti膜19を下地バリアメタルとして、A1合金からなる溝配線4が埋め込まれ、これによりパッド2が構成されている。パッド2を構成する溝配線4は、接続孔C₁の内部に埋め込まれたWプラグ16を通じてパッド1を構成する溝配線3と電気的に接続されている。なお、図1では、TiN/Ti膜19は図示省略されている。

【0031】層間絶縁膜17上には、例えば、厚さ0.5μmのSiO₂膜のような層間絶縁膜20が設けられている。この層間絶縁膜20は、パッド2の上側に対応する部分に開口21を有している。この開口21を含む層間絶縁膜20上には、ほぼ正方形状の平面形状を有し、かつ、パッド領域とほぼ同じ大きさの、したがって、パッド1、2の全体とほぼ同じ大きさのポンディン

(6)

特開平11-67763

9

グッド22が設けられている。このボンディングパッド22は、開口21の底部において露出したパッド2とコンタクトしている。また、このボンディングパッド22は、例えば、厚さ20nmのTi膜22a、厚さ500nmのAl-Cu膜のようなAl合金膜22bおよび厚さ30nmのTiN膜22cが、この順に積層された多層膜からなる。

【0032】符号23は、例えば塗化シリコン(SiN)膜のようなバッシャーベーション膜を示す。このバッシャーベーション膜23の厚さは、例えば0.75μmである。このバッシャーベーション膜23は、ボンディングパッド22の上側に対応する部分に開口24を有している。この半導体装置をリードフレーム上にマウントする場合は、開口24の部分に露出したボンディングパッド22が、リードフレームのリードとワイヤーにより結線される。なお、図1においては、上層配線のパッド2よりも上側の層間絶縁膜20、ボンディングパッド22およびバッシャーベーション膜24は図示省略されている。

【0033】次に、この半導体装置の製造方法について説明する。図3～図11は、この半導体装置の製造方法を説明するための断面図である。

【0034】この半導体装置を製造するためには、まず、図3に示すように、予め蒸着(図示せず)が形成されたSi基板11上に、例えば、CVD法により例えばSiO₂膜のような層間絶縁膜12を形成した後、例えばフォトリソグラフィー工程およびRIE工程により、この層間絶縁膜12の所定の部分に、下層配線形成用の配線溝を形成する。このとき、層間絶縁膜12のパッド領域に対応する部分には、パッド1を構成する溝配線3を形成するための配線溝13を形成する。なお、図示は省略するが、下層配線とSi基板11とを、Wプラグを通じて接続する場合は、層間絶縁膜12のうち、下層配線形成用の配線溝の下側の部分に相当する部分を形成し、この部分に接続孔を形成した後、この接続孔の内部にWプラグを形成し、さらに、層間絶縁膜12の残りの部分に相当する部分を形成した後、この部分に配線溝13を含む下層配線形成用の配線溝を形成する。

【0035】次に、高圧リフロー法を用いた埋め込み配線技術により下層配線を形成する。すなわち、図4に示すように、例えば、高真空中において、DCマグネットロンスパッタリング法により、層間絶縁膜12の全面に、例えば厚さ20nmのTi膜および例えば厚さ50nmのTiN膜を順次形成し、下地バリアメタルとしてのTiN/Ti膜14を形成する。ここで、TiN/Ti膜14の下層のTi膜を形成する際のスパッタリング条件の一例を挙げると、例えば、プロセスガスとしてArガスを用い、その流量を100sccmとし、圧力を0.4Pa、DCパワーを5kW、基板温度を150°Cとする。また、TiN/Ti膜14の上層のTiN膜を形成する際のスパッタリング条件の一例を挙げると、プロセ

10

スガスとしてArと窒素(N₂)との混合ガスを用い、これらのArガスおよびN₂ガスの流量をそれぞれ30sccm、80sccmとし、圧力を0.4Pa、DCパワーを10kW、基板温度を150°Cとする。

【0036】引き続き、例えば、高真空中において、DCマグネットロンスパッタリング法により、TiN/Ti膜14上に例えばAl-0.5%CuからなるAl合金膜25を形成する。このとき、このAl合金膜25が、配線溝13を含む下層配線形成用の配線溝の上部を塞ぎ、これらの内部にポイドが残されたブリッジ形状となるように、このAl合金膜25の厚さを最適化する。ここでは、配線溝13の幅が0.4μmであるので、Al合金膜25の厚さを1200nm程度とすることで、パッド領域においても、図4に示すような良好なブリッジ形状を実現することができる。なお、埋め込み配線技術により配線を形成する場合、配線溝の部分以外の部分のAl合金膜25は後の工程で除去されるため、Al合金膜25の厚さの上限には特に制限がない。また、ここでは、Al合金膜25を形成する際に、Si基板11を例えば400°C程度に加熱することにより、Alのマイグレーションを促進させ、Al合金膜25がブリッジ形状となることを助けている。このAl合金膜25を形成する際のスパッタリング条件の一例を挙げると、プロセスガスとしてArガスを用い、その流量を100sccmとし、圧力を0.4Pa、DCパワーを15kW、基板温度を400°Cとする。

【0037】次に、Al合金膜25の形成までを行ったSi基板11を高圧リフロー炉(図示せず)内に導入し、さらに、Si基板11を、例えば400°C以上に加熱してAl合金膜25を軟化させ、高圧リフロー法によるAl合金膜25の埋め込みを行う。この高圧リフローの条件の一例を挙げると、プロセスガスとしてArガスを用い、その圧力を1×10⁵Pa以上とし、基板温度を450°C、リフロー時間を1分間とする。これによって、図5に示すように、Al合金膜25が高圧下で流動しながら配線溝13を含む下層配線形成用の配線溝の内部に押し込まれ、これらの内部がAl合金膜25で充填されるとともに、Al合金膜25の表面平坦化が行われる。

【0038】なお、上述のTiN/Ti膜14の形成からリフローまでの一連の処理は、好適には、マルチチャンバー型の処理装置を用いて真空中で追焼的に行う。

【0039】次に、例えばCMP法により、配線溝13を含む下層配線形成用の配線溝の部分以外の部分に形成されたAl合金膜25およびTiN/Ti膜14を順次研磨する。これにより、図6に示すように、配線溝13の内部にTiN/Ti膜14を下地バリアメタルとして、Al合金からなる溝配線3が形成されるとともに、その他の配線溝の内部に、パッド引き出し線5などが形成される。このCMP法による研磨の条件の一例を挙げ

(7)

特開平11-67763

11

ると、 H_2 、 O_2 ベースでアルミカ含有的スラリーを用い、その流量を $100\text{cc}/\text{min}$ とし、研磨圧力を 100g/cm^2 、温度を $25\sim30^\circ\text{C}$ とし、走査および研磨ヘッドの回転数をそれぞれ 30rpm とする。

【0040】以上のように、高圧リフロー法を用いた埋め込み配線技術により、パッド1およびパッド引き出し線5を含む下層配線が形成される。

【0041】次に、図7に示すように、層間絶縁膜12上に、例えば、CVD法により SiO_2 膜のような層間絶縁膜15を形成した後、例えばフォトリソグラフィー工程およびRIE工程により、この層間絶縁膜15のうちパッド1を構成する配線溝3の上側に対応する部分に、接続孔 LC_1 を形成する。次に、層間絶縁膜15の全面に、例えば、CVD法により、W膜をその表面がほぼ平坦となるように十分に厚く形成した後、このW膜をRIE工程により、層間絶縁膜15の表面が露出するまでエッチバックする。これにより、層間絶縁膜15に形成された接続孔 LC_1 の内部を埋めるように、Wプラグ16が形成される。

【0042】次に、図8に示すように、層間絶縁膜15の全面に、例えば、CVD法により SiO_2 膜のような層間絶縁膜17を形成した後、例えばフォトリソグラフィー工程およびRIE工程により、この層間絶縁膜17の所定の部分に上層配線形成用の配線溝を形成する。この際、層間絶縁膜17のパッド領域に対応する部分には、パッド2を構成する溝配線4を形成するための配線溝18を形成する。次に、下層配線を形成したときと同様に、高圧リフロー法を用いた埋め込み配線技術により上層配線を形成する。これにより、配線溝18の内部に TiN/Ti 膜19を下地バリアメタルとして、A1合金からなる溝配線4が形成されるとともに、その他の配線溝の内部に、パッド引き出し線6などが形成される。以上のようにして、上層配線が形成される。

【0043】なお、この後、層間絶縁膜を形成し、接続孔形成、接続孔埋め込み、配線溝形成、配線溝埋め込みおよびCMP法による研磨を繰り返すことで、さらなる多層配線化が可能となる。

【0044】最上層では、組み立てポンディング用のポンディングパッドを、以下のようにして形成する。すなわち、図9に示すように、層間絶縁膜17の全面に、例えば、CVD法により SiO_2 膜のような層間絶縁膜20を形成した後、パッド領域におけるこの層間絶縁膜20に、ほぼ $100\mu\text{m}$ 角の正方形状の開口21を形成する。これにより、この開口21の底部に、上層配線のパッド2を露出させる。

【0045】次に、図10に示すように、全面に、例えばDCマグネットロンスパッタリング法により、例えば厚さ 30nm の Ti 膜22a、例えば厚さ 500nm のA1合金膜22bおよび例えば厚さ 30nm の TiN 膜22cを順次形成する。ここで、 Ti 膜22aを形成する

12

際のスパッタリング条件の一例を挙げると、プロセスガスとしてArガスを用い、その流量を 100sccm とし、圧力を 0.4Pa 、DCパワーを 5kW 、基板温度を 150°C とする。また、A1合金膜22bを形成する際のスパッタリング条件の一例を挙げると、プロセスガスとしてArガスを用い、その流量を 100sccm とし、圧力を 100sccm 、DCパワーを 15kW 、基板温度を 400°C とする。また、 TiN 膜22cを形成する際のスパッタリング条件の一例を挙げると、プロセスガスとしてArおよび N_2 の混合ガスを用い、これらのArガスおよび N_2 ガスの流量をそれぞれ 30sccm 、 80sccm とし、圧力を 0.4Pa 、DCパワーを 10kW 、基板温度を 150°C とする。

【0046】次に、図11に示すように、例えばフォトリソグラフィー工程およびRIE工程により、 TiN 膜22c、A1合金膜22bおよび Ti 膜22aを所定形状にバーニングする。これにより、開口21の部分でパッド2と接続するポンディングパッド22が形成される。

【0047】次に、例えば、CVD法により SiN 膜のようなバッシベーション膜23を形成した後、例えばフォトリソグラフィー工程およびRIE工程により、このバッシベーション膜23のうち、ポンディングパッド22の上側に対応する部分に開口24を形成する。

【0048】以上の工程を経て、図1および図2に示すように、目的とする半導体装置が製造される。

【0049】上述のように構成されたこの第1の実施形態によれば、下層配線のパッド1および上層配線のパッド2の全体の大きさが、CMP法による研磨によるディッシングの影響が問題となるような大きさであっても、これらのパッド1およびパッド2が、それぞれ、パッド1、2の大きさに比べて幅の狭い、具体的には、幅が $0.4\mu\text{m}$ の溝配線3および溝配線4により構成されていることにより、CMP法による研磨を行っても、溝配線3、4にはディッシングがほとんど生じない。このため、ほぼ $100\mu\text{m}$ 角の寸法を有する大きなパッド1、2の部分で、ディッシングを防止することができる。また、これにより、パッド1、2の部分での平坦性が向上するので、CMP法による研磨工程の後に行われる組み立て工程において、ポンディングパッド22上へのワイヤーボンディングを、特に支障をきたすことなく容易に行うことができる。

【0050】また、パッド1およびパッド2が、それぞれ、パッド1、2の大きさに比べて幅の狭い溝配線3および溝配線4により構成され、さらに、この場合、溝配線3、4の幅をパッド引き出し線5、6の幅とほぼ等しくしていることにより、配線の幅が急激に変化する（大きくなる）部分がないので、配線材料となるA1合金膜を形成する際に、A1合金膜が、配線溝13や配線溝18の開口の上部でつながったブリッジ形状になりやすい

(8)

特開平11-67763

13

という利点がある。これにより、A1合金膜のブリッジング不良が大幅に低減するので、半導体装置の製造歩留まりの向上を図ることができる。

【0051】また、パッド1およびパッド2が、それぞれ、パッド領域内で一巻き形状に引き回された溝配線3および溝配線4により構成され、さらに、これらの溝配線3および溝配線4の幅、したがって、配線溝13および配線溝18の幅が、パッド領域内ではほぼ均一になっていることにより、高圧リフロー法によるA1合金膜の埋め込みを行う際に、パッド1およびパッド2の部分でも、A1台金膜の埋め込みを容易に、かつ、均一に行うことができる。

【0052】次に、この発明の第2の実施形態について説明する。図12は、この第2の実施形態による半導体装置を示す平面図である。

【0053】図12に示すように、この半導体装置においては、下層配線のパッド1および上層配線のパッド2が、それぞれ、パッド領域内に輪形に配設された溝配線3、4により構成されている。すなわち、パッド領域の周辺の一部には、輪の柄に相当する溝配線3、4が、パッド領域の一辺にはほぼ平行に沿って配置され、それ以外のパッド領域には、輪の歯に相当する複数の溝配線3、4が、互いに並列に、かつ、ほぼ等間隔に配置され、輪の柄に相当する溝配線3、4に対してほぼ直交するよう接続されている。その他の構成は、第1の実施形態による半導体装置と同様であるので、説明を省略する。

【0054】この半導体装置の製造方法は、第1の実施形態による半導体装置の製造方法と同様であるので説明を省略する。

【0055】この第2の実施形態によれば、第1の実施形態と同様な効果を得ることができる。

【0056】次に、この発明の第3の実施形態について説明する。図13は、この第3の実施形態による半導体装置を示す平面図である。

【0057】図13に示すように、この半導体装置においては、所定部分に、例えばほぼ正方形状のポンディングパッド31が設けられている。このポンディングパッド31の一辺の大きさは、例えば100μmである。図13中、一点頭線で囲まれた領域は、このポンディングパッド31の部分に対応するパッド領域を示す。また、符号32はポンディングパッド31の下層側に設けられた配線のパッド引き出し線を示す。このパッド引き出し線32は、パッド領域、したがって、ポンディングパッド31の下方の領域まで達している。すなわち、ポンディングパッド31の下方の領域の一部には、パッド引き出し線32が、ポンディングパッド31と重なるように設けられている。そして、パッド引き出し線32は、ポンディングパッド31の大きさに比べて幅の狭い溝配線33により構成されている。ここで、この溝配線33の幅は、例えば0.4μmである。

14

【0058】符号32aは、パッド引き出し線32の末端部を示す。この場合、このパッド引き出し線32の末端部32aは、パッド領域の一辺にはほぼ平行に沿って延びており、パッド引き出し線31の延在する方向とほぼ直交する方向に延びている。ポンディングパッド31とパッド引き出し線32とは、末端部32aの部分で接続孔C1を通じて互いに電気的に接続されている。この場合、パッド引き出し線32の末端部32aは、ポンディングパッド31との接続に用いる接続孔C1を設けるのに必要な長さであればよい。具体的には、この末端部32aの長さは、例えば10μmである。

【0059】また、ポンディングパッド31の下方の領域のうち、パッド引き出し線32が設けられた部分と異なる部分には、他の溝配線34がポンディングパッド31と重なるよう設けられている。ここで、パッド引き出し線32および溝配線34を含む配線は、例えば、A1-0.5%CuのようなA1台金からなる。

【0060】以下に、図13～図16を参照して、この半導体装置の構造について説明する。ここで、図14は、図13のX1V-X1V線上に沿った断面図、図15は、図13のXV-XV線上に沿った断面図、図16は、図13のXVI-XVI線上に沿った断面図である。

【0061】図13～図16に示すように、この半導体装置においては、素子(図示せず)が設けられたS1基板41上に、例えば、厚さ1.5μmのS1O2膜のような層間絶縁膜42が設けられている。配線はこの層間絶縁膜42に埋め込まれるように設けられている。この層間絶縁膜42の所定部分には、パッド引き出し線32を構成する溝配線33を形成するための配線溝43および溝配線44を形成するための配線溝44が形成されている。この場合、配線溝43の一部はパッド領域に達し、配線溝44はパッド領域の一部を横切っている。ここで、これらの配線溝43、44の幅は例えば0.4μm、深さは例えば0.5μmである。これらの配線溝43および配線溝44の内部に、それぞれ、例えばT1N/T1膜45を下地バリアメタルとして、パッド引き出し線32を構成する溝配線33および溝配線34が埋め込まれている。なお、図13においては、T1N/T1膜45は図示省略されている。

【0062】層間絶縁膜42上には、例えば、厚さ1.0μmのS1O2膜のような層間絶縁膜46が設けられている。パッド引き出し線32の末端部32aの上側に対応する部分における層間絶縁膜46には、パッド引き出し線32の末端部32aの所定部分に達する接続孔C2が設けられている。この接続孔C2の口径は例えば0.25μmである。この接続孔C2の内部に、例えばVプラグ47が埋め込まれている。

【0063】層間絶縁膜48上には、例えば、厚さ0.5μmのS1O2膜のような層間絶縁膜48が設けられている。この層間絶縁膜48は、パッド領域に対応する

(9)

特開平11-67763

15

部分に、ほぼ $100\mu m$ 角の正方形状の開口49を有している。この開口49の部分を含む層間絶縁膜48上に、ポンディングパッド31が設けられている。このポンディングパッド31は、開口49の底部の一部に露出したWプラグ47を通じて、パッド引き出し線32の末端部32aにコントクトしている。このポンディングパッド31は、例えば、厚さ20nmのTi膜31a、厚さ500nmのAl-Cu膜のようなAl合金膜31bおよび厚さ30nmのTiN膜31cが、この順に積層された多層膜により構成されている。符号50は、例えばSiN膜のようなバッシベーション膜を示す。このバッシベーション膜50の厚さは、例えば0.75μmである。このバッシベーション膜50は、ポンディングパッド31の上側に対応する部分に開口51を有している。この半導体装置をリードフレーム上にマウントする場合は、開口52の部分に露出したポンディングパッド31が、リードフレームのリードとワイヤーにより結線される。

【0064】この第3の実施形態による半導体装置の製造方法は、第1の実施形態による半導体装置の製造方法とはほぼ同様であるので、説明を省略する。

【0065】この第3の実施形態によれば、ポンディングパッド31の下方の領域の一部に、このポンディングパッド31と重なるようにパッド引き出し線32が設けられ、さらに、このパッド引き出し線32が、ポンディングパッド31の大きさに比べて幅の狭い、具体的には、幅が0.4μmの溝配線33により構成されていることにより、従来のように、ポンディングパッド31の下方の領域に、このポンディングパッド31とほぼ同じ大きさのパッドを設ける場合に比べて、CMP法による研磨によるデッシングの影響を大幅に低減することができ、かつ、高圧リフロー法による配線材料の埋め込み特性が向上する。これにより、この第3の実施形態によつても、第1の実施形態と同様な効果を得ることができる。

【0066】また、この場合、配線とポンディングパッド31との接続は、ポンディングパッド31の下方の領域まで達したパッド引き出し線32の末端部32aを通じて行うことが可能であり、さらに、パッド引き出し線32の末端部32aは、ポンディングパッド31との接続に用いる接続孔C₁を設けるのに必要な大きさであればよいので、ポンディングパッド31の下方の領域には、パッド引き出し線32以外に、他の溝配線34を設けることが可能となるので、配線のレイアウトの自由度が向上するという利点がある。

【0067】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的意図に基づく各種の変形が可能である。例えば、実施形態において挙げた数値、材料、構造、製造プロセスなどはあくまで例にすぎ

16

ず、これに限定されるものではない。

【0068】また、例えば、上述の第1～第3の実施形態においては、配線材料としてAl合金を用いているが、配線材料としては、純Alを用いることも可能であり、これ以外にも、Cu、Al、Auまたはこれらの合金などを用いることも可能である。また、配線材料の埋め込みを高圧リフロー法に代えて、通常のリフロー法により行っても問題はない。

【0069】また、上述の第1～第3の実施形態におけるパッド1、2またはパッド引き出し線32の形状は、一例に過ぎず、例示したものと異なる形状であってもよい。また、第1および第2の実施形態においては、パッド1およびパッド2の形状を必ずしも同一とする必要はない。パッド1とパッド2との接続が十分になされていれば、両者は互いに異なる形状であってもよい。また、第3の実施形態においては、配線を多層化してもよい。さらに、上述の第1～第3の実施形態を組み合わせることも可能である。

【0070】また、この発明は、配線のうち幅を広くする必要のある部分に適用することも可能である。この場合、例えば、配線のうち幅を広くする必要のある部分を、この部分の幅よりも幅が狭く、かつ、並列に延びる複数の溝配線により構成する。これにより、配線のうち幅を広くする必要のある部分において、第1の実施形態と同様な効果を得ることができる。

【0071】また、この発明は、デュアルダマシン構造の配線に応用してもよい。

【0072】

【発明の効果】以上説明したように、この発明の第1の発明および第4の発明によれば、配線のパッドがこのパッドの大きさに比べて幅の狭い溝配線により構成されていることにより、パッドの全体の大きさが、化学機械研磨法による研磨によるディッシングの影響が問題となるような大きさであっても、パッドを構成する溝配線の幅は、ディッシングがほとんど生じない程度にすることができる。これにより、パッドの部分でのディッシングを防止することができる。また、パッドとパッド引き出し線との接続部分で、配線の幅が急激に変化しないようにすることができるので、配線材料となる導電膜を形成する際に、パッドの部分でも、この導電膜を容易にブリッジ形状（配線溝の上部を塞ぎ、この部分でつながった形状）とすることができます。このため、高圧リフロー法を用いた埋め込み配線技術により配線を形成する場合に、配線材料の埋め込みを容易に行うことができる。これにより、半導体装置の製造歩留まりの向上を図ることができる。

【0073】上述のように構成されたこの発明の第2の発明および第3の発明によれば、配線のうち幅を広くする必要のある部分が、この部分の大きさに比べて幅の狭い溝配線により構成されていることにより、この幅を広

50

(10)

特開平11-67763

17

くする必要のある部分の全体の幅が、化学機械研磨法による研磨によるディッシングの影響が問題となるような大きさであっても、この部分を構成する溝配線の幅は、ディッシングがほとんど生じない程度にすることができ、また、配線材料となる導電膜を形成する際に、配線のうち幅を広くする必要のある部分でも、この導電膜を容易にブリッジ形状とすることができます。したがって、この第2の発明および第3の発明によつても、第1の発明および第4の発明と同様な効果を得ることができる。

【0074】 上述のように構成されたこの発明の第3の発明および第6の発明によれば、ポンディングパッドの下方の領域の一部に、ポンディングパッドの大きさに比べて幅の狭い溝配線により構成されたパッド引き出し線が、ポンディングパッドと重なるように設けられていることにより、従来のように、ポンディングパッドの下方の領域に対応する部分に、ポンディングパッドとほぼ同じ大きさのパッドを設けなくても、パッド引き出し線を通じて配線とポンディングパッドとを接続させることができ、さらに、ポンディングパッドと重なる部分のパッド引き出し線は、ポンディングパッドの大きさに比べて幅の狭い溝配線により構成されているので、化学機械研磨法による研磨によるディッシングの影響を受けにくく、しかも、配線材料となる導電膜を形成する際に、この導電膜を容易にブリッジ形状とすることができます。したがって、この第3の発明および第6の発明によつても、第1の発明および第4の発明と同様な効果を得ることができます。さらに、この第3の発明および第6の発明によれば、ポンディングパッドの下方の領域のうち、パッド引き出し線が設けられた部分以外の部分に、他の配線を設けることができるので、配線のレイアウトの自由度が向上するという利点も有する。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態による半導体装置を示す平面図である。

【図2】 図1のI—I線に沿った断面図である。

【図3】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図6】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

18

【図7】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図8】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図9】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図10】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図11】 この発明の第1の実施形態による半導体装置の製造方法を説明するための断面図である。

【図12】 この発明の第2の実施形態による半導体装置を示す平面図である。

【図13】 この発明の第3の実施形態による半導体装置を示す平面図である。

【図14】 図13のXIV-XIV線に沿った断面図である。

【図15】 図13のXV-XV線に沿った断面図である。

【図16】 図13のXVI-XVI線に沿った断面図である。

【図17】 従来の高圧リフロー法を用いた埋め込み配線技術による溝配線の形成方法を説明するための断面図である。

【図18】 従来の高圧リフロー法を用いた埋め込み配線技術による溝配線の形成方法を説明するための断面図である。

【図19】 従来の高圧リフロー法を用いた埋め込み配線技術による溝配線の形成方法を説明するための断面図である。

【図20】 従来の高圧リフロー法を用いた埋め込み配線技術による溝配線の形成方法を説明するための断面図である。

【図21】 パッド形成用の孔の部分でA1台金膜のブリッジ不良が発生したときの様子を示す断面図である。

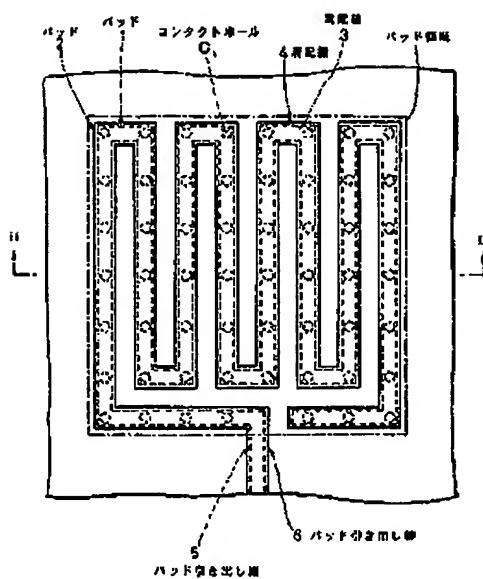
【符号の説明】

1, 2 … パッド、3, 4, 33, 34 … 溝配線、5, 6, 32 … パッド引き出し線、11, 41 … S1基板、12, 15, 17, 20, 42, 46, 48 … 層間絶縁膜、13, 18, 43, 44 … 配線層、14, 19, 45 … T1N/Ti膜、22, 31 … ポンディングパッド

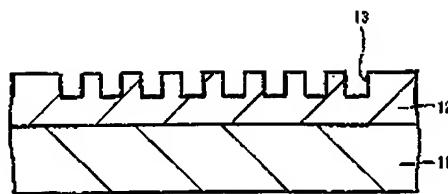
(11)

特開平11-67763

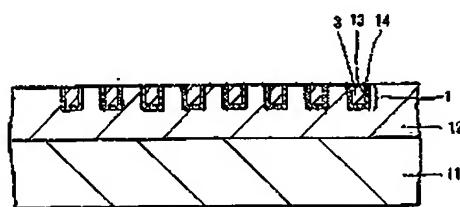
【図1】



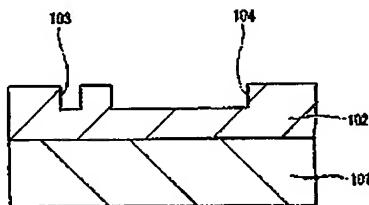
【図3】



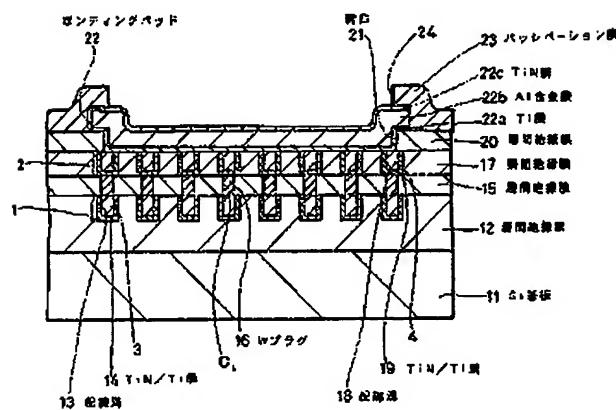
【図6】



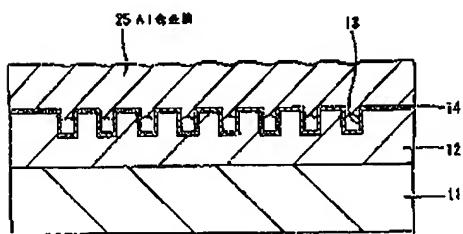
【図17】



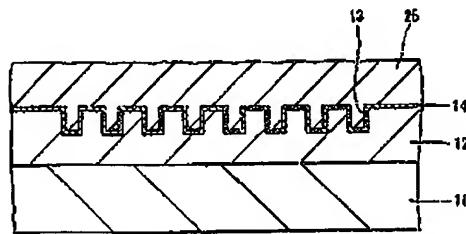
【図2】



【図4】



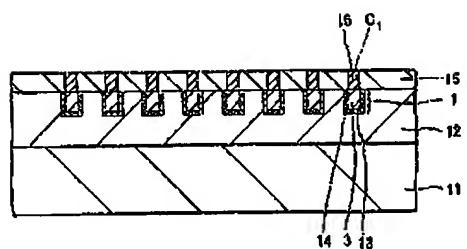
【図5】



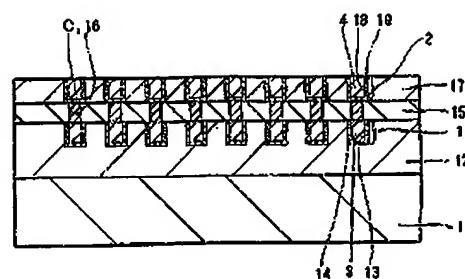
(12)

特開平 11-67763

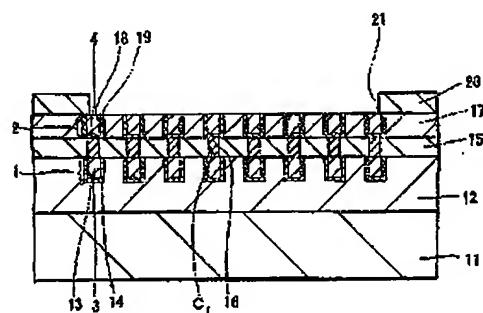
【図7】



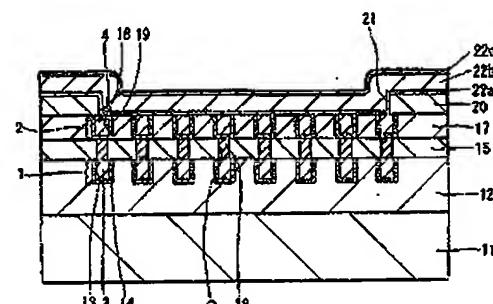
【図8】



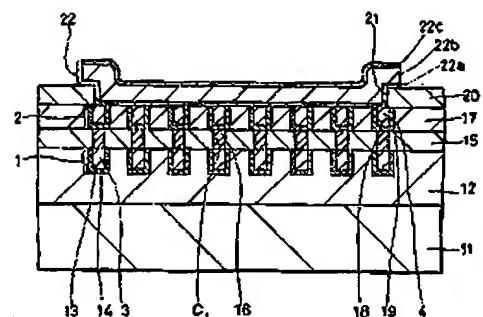
【図9】



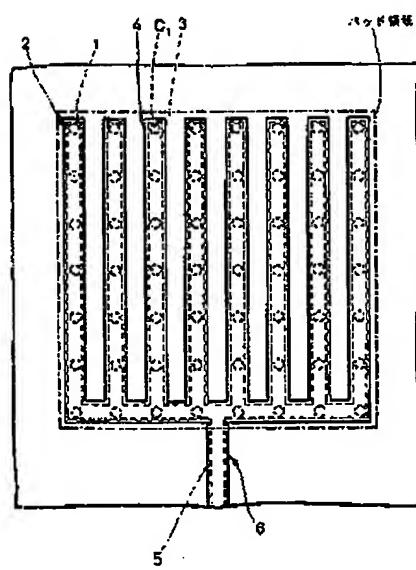
【図10】



【図11】



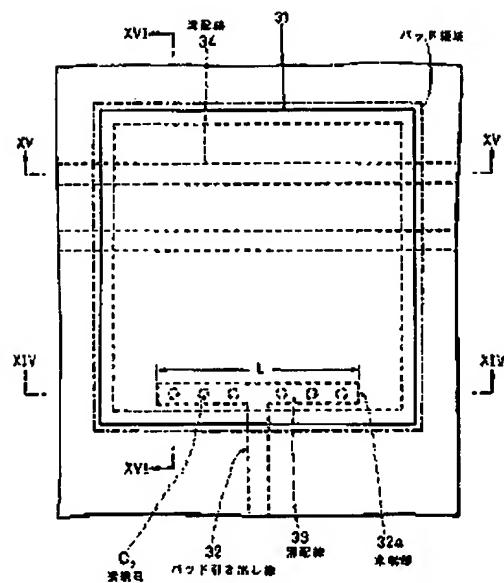
【図12】



(13)

特開平11-67763

【図13】



(14)

特開平11-67763

【図21】

